

CLIPPEDIMAGE= JP405267331A
PAT-NO: JP405267331A
DOCUMENT-IDENTIFIER: JP 05267331 A
TITLE: MANUFACTURE OF MOS SEMICONDUCTOR DEVICE

PUBN-DATE: October 15, 1993

INVENTOR-INFORMATION:

NAME

KONISHI, JUNICHI
TANEDA, TOSHIHIKO
SHIOJIRI, KAZUYA
FUKUSHIMA, YASUSHI
YOSHIOKA, MAMORU
ABE, HIROYUKI

ASSIGNEE-INFORMATION:

NAME

RICOH CO LTD

COUNTRY

N/A

APPL-NO: JP04094794

APPL-DATE: March 21, 1992

INT-CL_(IPC): H01L021/336; H01L029/784 ; H01L021/266

US-CL-CURRENT: 438/FOR.204,438/204 ,438/305

ABSTRACT:

PURPOSE: To manufacture an LDD-structure MOS transistor having a pocket implantation region with good reproducibility and by using a method not using an etching-back operation.

CONSTITUTION: (A) A gate insulating film 4 is formed in an N-type active region; a polysilicon gate electrode 5 is formed on it; boron is implanted by making use of the gate electrode 5 as a mask; low-concentration P-type regions 7, 8 for source-drain use are formed. (B) An SiO₂ film 9 is formed on the surface of the gate electrode 5 by a thermal oxidation operation; boron is implanted by making use of it as a mask; high-concentration P-type regions 11, 12 for source-drain use are formed. (C) The SiO₂ film 9 is removed; after that, phosphorus is implanted by making use of the gate electrode 5 as a mask; low-concentration N-type regions 13, 14 in a pocket implantation layer are formed.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-267331

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/336
29/784
21/266

7377-4M
8617-4M

H 0 1 L 29/ 78
21/ 265

3 0 1 L
M

審査請求 未請求 請求項の数6(全 10 頁)

(21)出願番号

特願平4-94794

(22)出願日

平成4年(1992)3月21日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 小西 淳一

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72)発明者 種田 敏彦

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72)発明者 塩尻 和也

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(74)代理人 弁理士 野口 繁雄

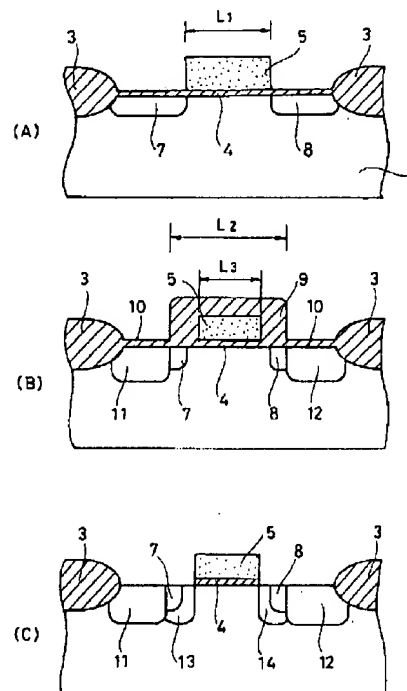
最終頁に続く

(54)【発明の名称】 MOS型半導体装置の製造方法

(57)【要約】

【目的】 ポケット注入領域をもつLDD構造のMOSトランジスタを再現性よくエッチバックによらない方法で製造する。

【構成】 (A) N型活性領域にゲート絶縁膜4を形成し、その上にポリシリコンのゲート電極5を形成し、ゲート電極5をマスクとしてボロンを注入してソース・ドレイン用の低濃度P型領域7、8を形成する。(B) 熱酸化してゲート電極5の表面にSiO₂膜9を形成し、それをマスクとしてボロンを注入してソース・ドレイン用の高濃度P型領域11、12を形成する。(C) SiO₂膜9を除去した後、ゲート電極5をマスクとしてリンをイオン注入してポケット注入層の低濃度N型領域13、14を形成する。



【特許請求の範囲】

【請求項1】 素子分離領域及びゲート酸化膜を形成した後、以下の工程（A）から（C）を有することを特徴とするポリシリコンゲート電極を有するMOS型半導体装置の製造方法。

（A）ポリシリコンゲート電極を形成し、それをマスクとして半導体基板に第1の拡散層を形成する工程、

（B）ポリシリコンゲート電極表面を酸化して酸化膜を形成し、それをマスクとして半導体基板に第2の拡散層を形成する工程、

（C）前記酸化膜を除去した後、残ったポリシリコンゲート電極をマスクとして半導体基板に第3の拡散層を形成する工程。

【請求項2】 第1の拡散層を低濃度の第1導電型不純物で形成し、第2の拡散層を高濃度の第1導電型不純物で形成し、第3の拡散層を低濃度の第2導電型不純物で形成する請求項1に記載のMOS型半導体装置の製造方法。

【請求項3】 第1の拡散層を低濃度の第1導電型不純物で形成し、第2の拡散層を高濃度の第2導電型不純物で形成し、第3の拡散層を低濃度の第2導電型不純物で形成する請求項1に記載のMOS型半導体装置の製造方法。

【請求項4】 以下の工程（A）から（C）により、ゲート酸化膜下のチャネル領域の不純物濃度がチャネル領域の中央部とソース・ドレイン側とで異なっている不純物濃度分布を得ることを特徴とするMOS型半導体装置の製造方法。

（A）半導体基板主面上に第1の絶縁膜を介して絶縁膜又は半導体膜にてなるイオン注入制御層を堆積する工程、

（B）イオン注入制御層上にレジストパターンを形成し、そのレジストパターンをマスクとして第1の絶縁膜が露出するまでイオン注入制御層に等方性エッチングを施してイオン注入制御層のうちレジストパターンの外側領域及びレジストパターンの外縁から僅かに入り込んだ領域を除去する工程、

（C）レジストパターンを除去した後、パターン化されたイオン注入制御層をマスクとして半導体基板に不純物をイオン注入する工程。

【請求項5】 以下の工程（A）から（C）により、ゲート酸化膜下のチャネル領域の不純物濃度がチャネル領域の中央部とソース・ドレイン側とで異なっている不純物濃度分布を得ることを特徴とするMOS型半導体装置の製造方法。

（A）半導体基板主面上に第1の絶縁膜を介して絶縁膜又は半導体膜にてなるイオン注入制御層を堆積する工程、

（B）イオン注入制御層上にレジストパターンを形成し、そのレジストパターンをマスクとしてイオン注入制

御層の膜厚方向の途中まで等方エッチングを施し、その後再び前記レジストパターンをマスクとして今度は第1の絶縁膜が露出するまでイオン注入制御層に異方性エッチングを施してイオン注入制御層のうちレジストパターンの外側領域及びレジストパターンの外縁から僅かに入り込んだ領域を除去する工程、

（C）レジストパターンを除去した後、パターン化されたイオン注入制御層をマスクとして半導体基板に不純物をイオン注入する工程。

10 【請求項6】 以下の工程（A）から（C）により、ゲート酸化膜下のチャネル領域の不純物濃度がチャネル領域の中央部とソース・ドレイン側とで異なっている不純物濃度分布を得ることを特徴とするMOS型半導体装置の製造方法。

（A）半導体基板主面上に第1の絶縁膜を介してポリシリコン膜を堆積し、写真製版とエッチングによりそのポリシリコン膜にパターン化を施し、そのパターン化されたポリシリコン膜をマスクとして基板に不純物を注入する第1回目のイオン注入工程、

20 （B）前記ポリシリコン膜を酸化してポリシリコン膜表面に酸化膜を形成し、その酸化膜で被われたパターンをマスクとして基板に不純物を注入する第2回目のイオン注入工程、

（C）前記酸化膜をエッチングにより除去した後、残存したポリシリコン膜をマスクとして基板に不純物を注入する第3回目のイオン注入工程。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は特性を改良したMOS型半導体装置を製造する方法に関するものである。

【0002】

【従来の技術】 MOSトランジスタでショートチャネル効果を抑制するために、図1に示されるようにポケット注入層26を有する改良型LDD構造が提案されている。この構造のMOSトランジスタを製造するには、ゲート酸化膜を介してポリシリコンゲート電極28を形成し、そのゲート電極をマスクとしてP型基板20にP型不純物を深く注入する（ポケット注入層の形成）。LDD構造のソース・ドレインを形成するために、ゲート電極28をマスクとしてN型不純物を低いドーズ量で注入して低濃度N型拡散層24を形成する。その後、全面にCVD法によりSiO₂膜を堆積し、反応性イオンエッチングによりエッチバックを施してゲート電極側壁にSiO₂サイドウォールスペーサ30を形成し、ゲート電極28及びサイドウォールスペーサ30をマスクとして高いドーズ量でN型不純物を注入して高濃度N型拡散層22を形成する。

【0003】 LDD構造を形成するための従来から行なわれている方法は、図1で示されたようなサイドウォールスペーサ30を利用する方法である（例えば特開平1

-149471号公報参照)。それに対し、LDD構造を形成するのにエッチバックを用いずにポリシリコンゲートの熱酸化膜を利用する方法(酸化膜法と呼ぶ)が提案されている(特開平3-16140号公報参照)。酸化膜法ではエッチバック工程がないのでエッチングによるダメージが基板に生じない利点がある。しかし、その引用例にはポケット注入を形成することについては何も触れられてはいないので、LDD構造であっても微細化を考えた場合ショートチャネル効果は避けられなくなり、ポケット注入層によりドレイン電界の影響を軽減する必要がある。

【0004】MOSトランジスタにおいては、トランジスタが動作を始めるゲート電圧、すなわちしきい値電圧 V_{th} の値を制御するために、ゲート酸化膜下に不純物を打ち込むいわゆるチャネルドーピングが行なわれている。通常のチャネルドーピングは1段階のみで行なわれ、チャネル領域の不純物濃度分布は図2に示されるように一定である。図2で105はゲート酸化膜、106はゲート電極、107はソース・ドレインである。しかし、不純物濃度分布が一定の場合にはパンチスルーが起こりやすく、ショートチャネル効果が起こりやすい。また、チャネル領域の抵抗によって、しきい値電圧以上のゲート電圧 V_g に対するドレイン電流 I_d の関係の曲線の傾きは図3中の β_2 に示されるようになり、トランジスタの立ち上り特性はよくない。それに対し、チャネル領域での不純物濃度分布を一定にしないで、表面チャネル型ではソース・ドレインに近い方で不純物濃度が高く、埋込みチャネル型ではソース・ドレインに近い方で低くなるようにしたものが提案されている。このように不純物濃度を変化させた場合にはソース・ドレインからの空乏層の伸びを抑えることができるので、パンチスルーもショートチャネル効果も不純物濃度が一定の場合に比べて起こりにくくなる利点がある。また、しきい値電圧はソース・ドレインに近い個所の不純物濃度で決まり、その位置での抵抗値が最も高くなるので、しきい値電圧を不純物濃度分布が一定の場合と同じであるとすれば、不純物濃度分布が不均一の場合のチャネル領域の抵抗値は不純物濃度分布が一定の場合より小さくなるため、しきい値電圧以上のゲート電圧 V_g に対するドレイン電流 I_d の関係の曲線の傾きは図3中で β_1 として示されるように不純物濃度分布が一定の場合 β_2 に比べて大きくなり、トランジスタの立ち上り特性が改善される。

【0005】このようにチャネル領域の不純物濃度分布を不均一に形成するために、NMOSトランジスタではソース・ドレインのN型拡散層を包み込むようにP型拡散層をボロンの斜めイオン注入方法により形成している(IEDM90, pp.391~394(IEEE, 1990年)参照)。

【0006】

【発明が解決しようとする課題】ポケット注入層をもつ

図1のMOSトランジスタは、サイドウォールスペーサ30を利用して形成されるので、サイドウォールスペーサ幅 L がCVDによる SiO_2 膜の膜厚及びエッチバック時のエッチング量に大きく依存する。そのため、 SiO_2 膜の膜厚制御性が低い場合、例えば L が小さくなった場合には低濃度ソース・ドレイン領域24が十分に形成されず、LDDの利点を活かすことができない。また、エッチバック時に基板表面が露出し、エッチャントによる基板の荒れや汚染が発生する。本発明の第1の目的はポケット注入領域をもつLDD構造のMOSトランジスタを再現性よくエッチバックによらない方法で製造する方法を提供することである。

【0007】チャネル領域に不均一な不純物濃度分布をもたせるために斜めイオン注入を用いる方法では、ゲート電極の側壁にサイドウォールスペーサを形成した後に斜めイオン注入を行なうため、サイドウォールスペーサの幅の制御が重要となる。この場合もサイドウォールスペーサの幅はCVDによる SiO_2 膜の堆積時の膜厚とエッチバック量とに依存し、エッチバック後に基板表面に残渣が残らないようにするために過度にオーバーエッチした際にサイドウォールスペーサ幅が小さくなり、結局チャネル中央部の低濃度領域が小さくなってしまふ。一方、サイドウォールスペーサ幅が大きい場合はソース・ドレイン側の高濃度領域が小さくなり、パンチスルーを抑える効果がなくなってしまう。

【0008】また、ボロンを斜めイオン注入する際にサイドウォールスペーサやゲート電極を通して基板にイオン注入を行なっているため、注入ダメージによるトランジスタの特性劣化は避けられない。本発明の第2の目的はショートチャネル効果やパンチスルーが起こりにくく、かつ立ち上り特性を向上させるためにチャネルの不純物濃度分布を不均一にする構造を、再現性よく、ダメージも少なくして形成する方法を提供することである。

【0009】

【課題を解決するための手段】ポケット注入領域をもつLDD構造のMOSトランジスタを再現性よくエッチバックによらない方法で製造するために、本発明方法は素子分離領域及びゲート酸化膜を形成した後、以下の工程(A)から(C)を有する。(A)ポリシリコンゲート電極を形成し、それをマスクとして半導体基板に第1の拡散層を形成する工程、(B)ポリシリコンゲート電極表面を酸化して酸化膜を形成し、それをマスクとして半導体基板に第2の拡散層を形成する工程、及び(C)前記酸化膜を除去した後、残ったポリシリコンゲート電極をマスクとして半導体基板に第3の拡散層を形成する工程。第1の拡散層を低濃度の第1導電型不純物で形成し、第2の拡散層を高濃度の第1導電型不純物で形成し、第3の拡散層を低濃度の第2導電型不純物で形成するか、又は第1の拡散層を低濃度の第1導電型不純物で形成し、第2の拡散層を高濃度の第2導電型不純物で形

成し、第3の拡散層を低濃度の第2導電型不純物で形成する。

【0010】ゲート酸化膜下のチャネル領域の不純物濃度がチャネル領域の中央部とソース・ドレイン側とで異なっている不純物濃度分布を得るために、本発明は以下の工程(A)から(C)を有する。(A)半導体基板主面上に第1の絶縁膜を介して絶縁膜又は半導体膜にてなるイオン注入制御層を堆積する工程、(B)イオン注入制御層上にレジストパターンを形成し、そのレジストパターンをマスクとして第1の絶縁膜が露出するまでイオン注入制御層に等方性エッチングを施してイオン注入制御層のうちレジストパターンの外側領域及びレジストパターンの外縁から僅かに入り込んだ領域を除去する工程、及び(C)レジストパターンを除去した後、パターン化されたイオン注入制御層をマスクとして半導体基板に不純物をイオン注入する工程。

【0011】本発明の他の態様では、上記のイオン注入制御層をエッチングする工程(B)に代えて、イオン注入制御層上にレジストパターンを形成し、そのレジストパターンをマスクとしてイオン注入制御層の膜厚方向の途中まで等方エッチングを施し、その後再び前記レジストパターンをマスクとして今度は第1の絶縁膜が露出するまでイオン注入制御層に異方性エッチングを施してイオン注入制御層のうちレジストパターンの外側領域及びレジストパターンの外縁から僅かに入り込んだ領域を除去する工程とする。

【0012】ゲート酸化膜下のチャネル領域の不純物濃度がチャネル領域の中央部とソース・ドレイン側とで異なっている不純物濃度分布を得るために、本発明の他の態様は以下の工程(A)から(C)を有する。(A)半導体基板主面上に第1の絶縁膜を介してポリシリコン膜を堆積し、写真製版とエッチングによりそのポリシリコン膜にパターン化を施し、そのパターン化されたポリシリコン膜をマスクとして基板に不純物を注入する第1回目のイオン注入工程、(B)前記ポリシリコン膜を酸化してポリシリコン膜表面に酸化膜を形成し、その酸化膜で被われたパターンをマスクとして基板に不純物を注入する第2回目のイオン注入工程、及び(C)前記酸化膜をエッチングにより除去した後、残存したポリシリコン膜をマスクとして基板に不純物を注入する第3回目のイオン注入工程。

【0013】

【実施例】図4はポケット注入層を有するLDD構造のMOSTランジスタを製造する第1の方法を示したものである。

(A) 抵抗が $20\Omega\cdot\text{cm}$ のP型シリコン基板にN型不純物(例えばリン)を導入して形成されたNウェル1に素子分離のためLOCOS法により $0.6\sim 1.2\mu\text{m}$ の SiO_2 膜3を形成し、活性領域には $100\sim 500\text{\AA}$ 、例えば約 150\AA のゲート絶縁膜(SiO_2 膜)4

を形成する。ゲート絶縁膜4の中央付近に幅 L_1 が約 $1.0\mu\text{m}$ で厚さが $3000\sim 5000\text{\AA}$ 、不純物として例えばリンを導入して低抵抗化されたポリシリコンのゲート電極5を形成する。ゲート電極5をマスクとしてP型不純物、例えばボロンを活性領域に導入し、ドーズ量 $1\times 10^{13}\sim 5\times 10^{13}/\text{cm}^2$ 、接合の深さが約 $0.2\mu\text{m}$ のソース・ドレイン用の低濃度P型領域7、8を形成する。

【0014】(B) 基板を熱酸化雰囲気中に導入し、ゲート電極5の表面及びソース・ドレイン表面に熱酸化膜9、10を約 2000\AA の厚さに形成する。このとき、ゲート電極5の側壁に成長する SiO_2 膜9の厚さを含めたゲート電極の幅 L_2 は約 $1.2\mu\text{m}$ となる。熱酸化膜9をマスクとしてP型不純物、例えば BF_3 をイオン注入法により活性領域に導入し、ドーズ量が $1\times 10^{15}\sim 5\times 10^{15}/\text{cm}^2$ で、接合深さが約 $0.3\mu\text{m}$ のソース・ドレイン用の高濃度P型領域11、12を形成する。

【0015】(C) 熱酸化膜9、10を HF 溶液を用いて除去した後、ゲート電極5をマスクとしてN型不純物、例えばリンをイオン注入法により活性領域に導入し、ドーズ量 $1\times 10^{13}\sim 3\times 10^{13}/\text{cm}^2$ で接合深さが約 $0.3\mu\text{m}$ のポケット注入層の低濃度N型領域13、14を形成する。このときの電極幅 L_3 は約 $0.8\mu\text{m}$ である。

【0016】図5はポケット注入層を有するLDD構造のMOSTランジスタを製造する第2の方法を示したものである。

(A) 図4の(A)と同様に SiO_2 膜3、ゲート絶縁膜4、ゲート電極5を形成した後、ゲート電極5をマスクとしてN型不純物、例えばリンを活性領域に導入し、ドーズ量が $1\times 10^{13}\sim 3\times 10^{13}/\text{cm}^2$ 、接合深さが約 $0.3\mu\text{m}$ のポケット注入層用の低濃度N型領域13、14を形成する。

(B) 基板を熱酸化雰囲気中に導入し、ゲート電極5の表面及びソース・ドレイン表面に熱酸化膜9、10を約 2000\AA の厚さに形成する。このとき、ゲート電極5の側壁に成長する SiO_2 膜9の厚さを含めたゲート電極の幅 L_2 は約 $1.2\mu\text{m}$ となる。熱酸化膜9をマスクとしてP型不純物、例えば BF_3 をイオン注入法により活性領域に導入し、ドーズ量が $1\times 10^{15}\sim 5\times 10^{15}/\text{cm}^2$ で、接合深さが約 $0.3\mu\text{m}$ のソース・ドレイン用の高濃度P型領域11、12を形成する。

【0017】(C) 熱酸化膜9、10を HF 溶液を用いて除去した後、ゲート電極5をマスクとしてP型不純物、例えばボロンをイオン注入法により活性領域に導入し、ドーズ量 $1\times 10^{13}\sim 5\times 10^{13}/\text{cm}^2$ で接合深さが約 $0.2\mu\text{m}$ のソース・ドレイン用の低濃度P型領域7、8を形成する。このときの電極幅 L_3 は約 $0.8\mu\text{m}$ である。

【0018】図6はMOSTランジスタが形成される領

域とチャネルの導入不純物の導電型が同じ場合、すなわち表面チャネル型トランジスタを形成する場合の一実施例を示したものである。

(A) P型シリコン基板又はシリコン基板中に形成したPウエル101上に熱酸化法により SiO_2 膜102を約250Åの厚さに形成する。その SiO_2 膜102上にイオン注入制御層としてCVD法によって Si_3N_4 膜103を約1000Åの厚さに堆積し、さらにその上に耐エッチング層としてレジスト層104を積層し、フォトリソグラフィ工程によりレジスト層104をパター

ン化する。
【0019】(B) レジストパターン104をマスクとしてウェットエッチング法又はケミカルドライエッチング法により SiO_2 膜102が露出するまで等方性エッチングを施し、 Si_3N_4 膜103をテーパー状にエッチングする。

(C) レジストパターン104を除去し、テーパー状に形成された Si_3N_4 膜103をマスクとしてイオン注入法により加速エネルギー10~30KeV、ドーズ量 $2 \times 10^{12} \sim 5 \times 10^{12} / \text{cm}^2$ のボロンを注入する。このとき、 Si_3N_4 膜103の厚い部分では基板に導入されるボロンの量が少なく、 Si_3N_4 膜103の薄い部分ほど多く導入される。

【0020】その後、図7(A)に示されるようにゲート酸化膜105、ポリシリコンゲート電極106、ソース・ドレイン領域107を形成してMOSTランジスタを構成した場合、ゲート酸化膜105の下のチャネル領域での不純物濃度分布は図7(B)で実線で示されるようになる。イオン注入制御層103は Si_3N_4 膜以外に、 SiON 膜、 Ta_2O_5 膜、 Y_2O_3 膜などの絶縁膜、ポリシリコン膜、アモルファスシリコン膜などの半導体膜でもよい。

【0021】図8はチャネルに導入されるしきい値制御のための不純物の導電型がMOSTランジスタが形成される領域と反対導電型になる場合の埋込みチャネル型トランジスタを形成する場合の他の実施例を示したものである。図6と同じ工程により、ただし工程(A)ではチャネルの中央部に開口をもつようにレジスト104をパターン化する。MOSTランジスタを構成した場合、ゲート酸化膜105の下のチャネル領域での不純物濃度分布は図7(B)で破線で示されるようにゲート酸化膜の下の中央部での不純物濃度が最大になる。

【0022】図9はチャネルの不純物濃度分布を不均一にした実施例で表面チャネル型トランジスタを形成する場合の他の実施例を示したものである。

(A) 図6(A)と同様にP型シリコン基板又はシリコン基板中に形成したPウエル101上に SiO_2 膜102を介してイオン注入制御層として Si_3N_4 膜103を形成し、その上にレジストパターン104を形成する。

(B) ウェットエッチング法又はケミカルドライエッチング法により Si_3N_4 膜103の膜厚方向の途中まで等方性エッチングを施す。

【0023】(C) 続いてレジストパターン104をマスクとしてRIE法又はRIBE法などの異方性エッチングにより SiO_2 膜102が露出するまで Si_3N_4 膜103にエッチングを施す。

(D) レジストパターン104を除去し、 Si_3N_4 膜103をマスクとしてイオン注入法によりボロンを注入する。各層の膜厚及びボロン注入条件は図6の実施例と同じに設定すればよい。

この方法で図10(A)のようにMOSTランジスタを形成した場合には、チャネルドープのイオン注入の際の Si_3N_4 膜103が2段になっているため、ゲート酸化膜105の下のチャネル領域での不純物濃度分布は図10(B)で実線に示されるようになる。

【0024】図11は埋込みチャネル型MOSTランジスタのチャネルドープに本発明を適用した他の実施例を表わしたものである。図9と同じ工程により、ただし工程(A)ではチャネルの中央部に開口をもつようにレジスト104をパターン化する。MOSTランジスタを構成した場合、ゲート酸化膜105の下のチャネル領域での不純物濃度分布は図10(B)で破線で示されるようにゲート酸化膜の下の中央部での不純物濃度が最大になる。

【0025】図12はポリシリコンとその酸化膜を利用して不純物濃度が不均一なチャネルドープを形成する方法の一実施例を表わしたものである。

(A) 図6(A)と同様にP型シリコン基板又はシリコン基板中に形成したPウエル101上に SiO_2 膜102を形成する。

(B) SiO_2 膜102上にCVD法によってポリシリコン膜108を約0.5~0.6μmの厚さに堆積し、フォトリソグラフィ工程によりポリシリコン膜108にパターン化を施す。ポリシリコン膜パターン108の幅は約0.6~0.8μmとする。この状態でポリシリコン膜パターン108をマスクとして加速エネルギー10~30KeV、ドーズ量 $1 \times 10^{13} \sim 2 \times 10^{13} / \text{cm}^2$ の条件で第1回目のボロン注入を行なう。

【0026】(C) ポリシリコン膜パターン108を熱酸化法により酸化して SiO_2 膜109を形成する。この場合の酸化は SiO_2 /ポリシリコン界面で等方的に進行するので、 SiO_2 膜109の膜厚を約0.2μmとすれば、 SiO_2 膜で被われたパターンの幅が約0.8~1.0μm、ポリシリコン膜パターン108は膜厚が約0.4~0.5μm、幅が約0.4~0.6μmになる。 SiO_2 膜109をマスクとして加速エネルギー10~30KeV、ドーズ量 $3 \times 10^{13} \sim 5 \times 10^{13} / \text{cm}^2$ の条件で第2回目のボロン注入を行なう。

(D) SiO_2 膜109をエッチングにより除去した

後、ポリシリコン膜パターン108をマスクとして加速エネルギー10~30KeV、ドーズ量 $5 \times 10^{12} \sim 7 \times 10^{12} / \text{cm}^2$ の条件で第3回目のボロン注入を行なう。

【0027】この方法では注入のマスクとなるポリシリコン膜パターン108、 SiO_2 膜パターン109の幅が工程(B)、(C)、(D)でそれぞれ異なっており、ボロンのドーズ量を3回目<1回目<2回目の順に多くすることにより、図13(A)のように形成されたMOSトランジスタにおいてはゲート酸化膜の下

のP型不純物濃度分布は図13(B)の実線で示されるようになる。

【0028】図14は埋込みチャネル型MOSトランジスタにおいてポリシリコンとその酸化物をマスクとしてチャネルドープの不純物濃度分布を形成する例を表わしたものである。図14ではチャネル領域の内側に開口をもつようにポリシリコン膜108をパターン化する。

(B)、(C)、(D)で3回のイオン注入を行ない、不純物(P型)の注入量を3回目<1回目<2回目の順に多くすることにより、図13(A)のように形成されたMOSトランジスタにおいてはゲート酸化膜の下

のP型不純物濃度分布は図13(B)の破線で示されるようになる。図6から図14の実施例においてはチャネルドープの注入不純物をP型にする場合について示しているが、逆にN型不純物、例えばリンをチャネルに注入する場合にも同じ手法を用いることができる。

【0029】

【発明の効果】請求項1から3の本発明によれば、LDD構造の形成に必要であったエッチバック工程がなくなるので基板表面がエッチャントによりダメージを受けることもなく、汚染されることもない。LDD構造のソース・ドレインの低濃度領域の幅がポリシリコンの酸化膜厚により制御することになる。これは従来のエッチバックにより形成するサイドウォールスペースの幅の制御よりも制御性が高いので確実に低濃度領域を形成することができる。その結果、ポケット注入層を有するLDD構造のMOSデバイスをダメージが少なく、制御性よく形成することができるので、微細化に適した高性能デバイスを形成することができる。

【0030】請求項4の本発明によれば、ゲート酸化膜の下

のチャネル領域における不純物濃度がチャネル長さ方向に不均一となった分布を得ることができるので、一定濃度の不純物分布に比べてソース・ドレイン領域からの空乏層の延びを小さくできるため、パンチスルーやショートチャネル効果が起こりにくく、またチャネル領域の抵抗値が小さくなってトランジスタの立上り特性が向上する。請求項5又は6の本発明によればチャネル酸化膜の下

のチャネル領域における不純物濃度分布を多段階に制御できるので、パンチスルーやショートチャネル効果を防ぎ、立上り特性をよくする効果を更に向上させる

ことができる。本発明の工程は簡便な手法である。

【図面の簡単な説明】

【図1】ポケット注入層を有する改良型LDD構造を示す断面図である。

【図2】チャネルドープを施した従来のMOSトランジスタを表わす図であり、(A)は断面図、(B)はチャネルの不純物濃度分布を示す図である。

【図3】MOSトランジスタにおけるゲート電圧 V_g に対するドレイン電流 I_d の関係を示す図である。

【図4】ポケット注入層を有するLDD構造のMOSトランジスタを製造する本発明の第1の方法を示す工程断面図である。

【図5】ポケット注入層を有するLDD構造のMOSトランジスタを製造する本発明の第2の方法を示す工程断面図である。

【図6】表面チャネル型MOSトランジスタを形成する本発明の一実施例を示す工程断面図である。

【図7】チャネルドープを施した本発明のMOSトランジスタを表わす図であり、(A)は断面図、(B)はチャネルの不純物濃度分布を示す図である。

【図8】埋込みチャネル型MOSトランジスタを形成する本発明の一実施例を示す工程断面図である。

【図9】表面チャネル型MOSトランジスタを形成する本発明の他の実施例を示す工程断面図である。

【図10】チャネルドープを施した本発明の他のMOSトランジスタを表わす図であり、(A)は断面図、(B)はチャネルの不純物濃度分布を示す図である。

【図11】埋込みチャネル型MOSトランジスタを形成する本発明の他の実施例を示す工程断面図である。

【図12】ポリシリコンとその酸化膜を利用して表面チャネル型MOSトランジスタを形成する本発明の一実施例を示す工程断面図である。

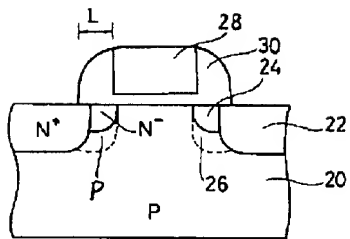
【図13】チャネルドープを施した本発明のさらに他のMOSトランジスタを表わす図であり、(A)は断面図、(B)はチャネルの不純物濃度分布を示す図である。

【図14】ポリシリコンとその酸化膜を利用して埋込みチャネル型MOSトランジスタを形成する本発明の一実施例を示す工程断面図である。

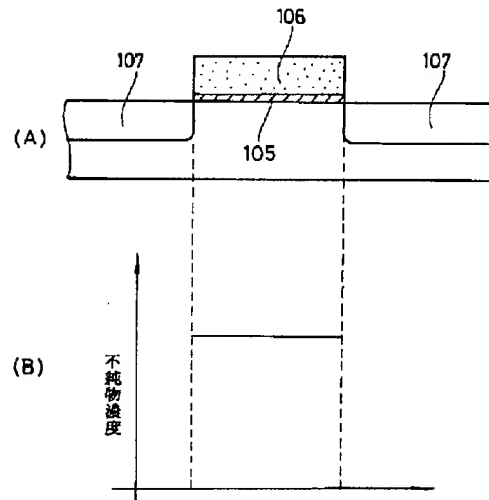
【符号の説明】

1, 101	ウエル又は基板
4, 105	ゲート酸化膜
5, 106	ゲート電極
7, 8, 11, 12, 107	ソース・ドレイン
9, 109	SiO_2 膜
13, 14	ポケット注入層
103	イオン注入制御層としての Si_3N_4 膜
104	レジストパターン
108	ポリシリコン膜パターン

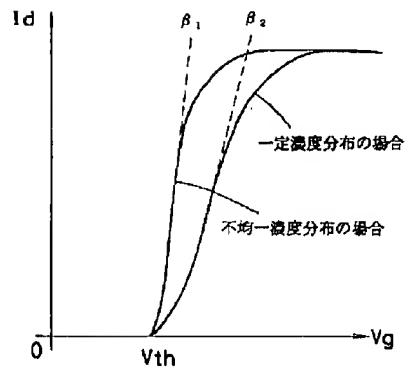
【図1】



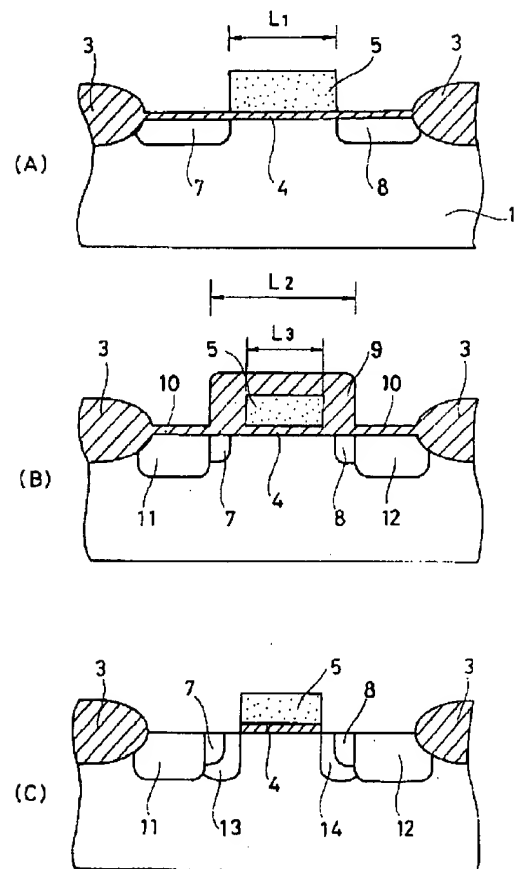
【図2】



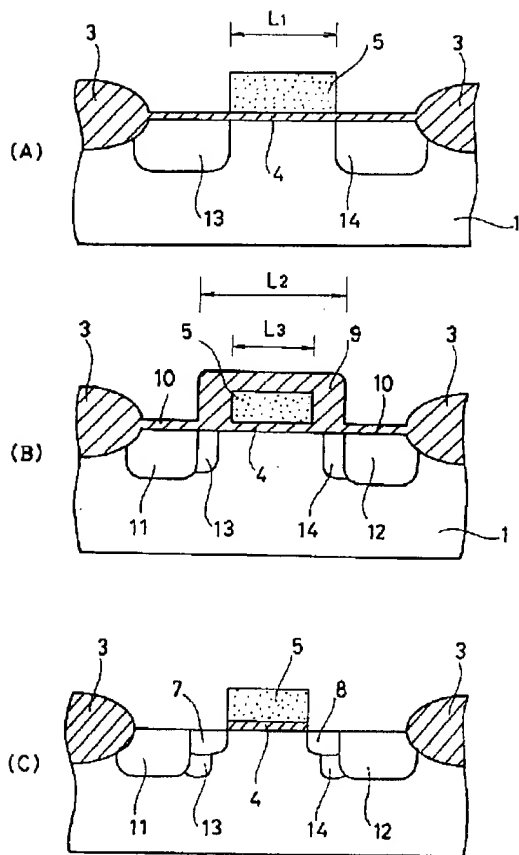
【図3】



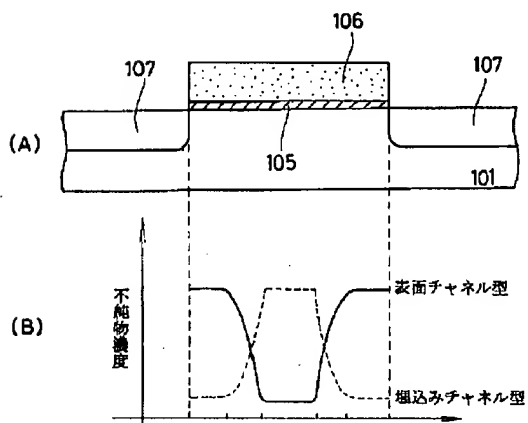
【図4】



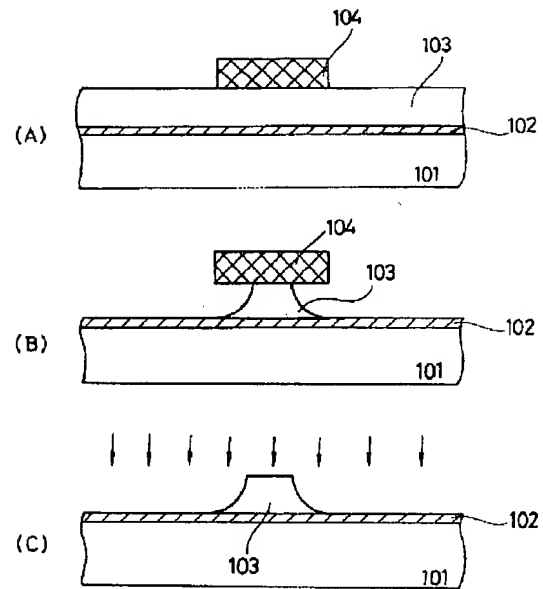
【図5】



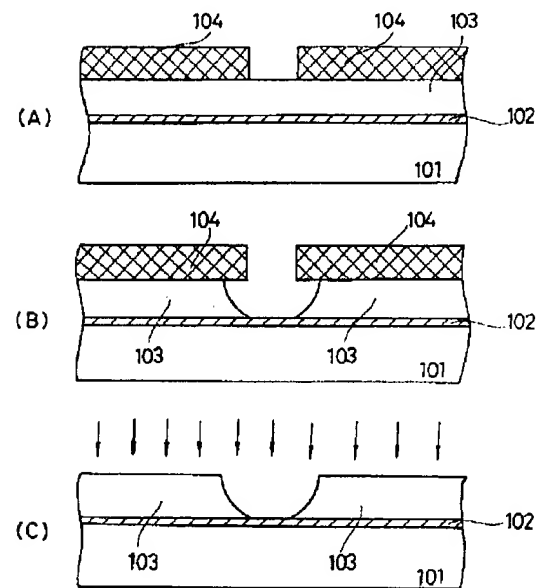
【図7】



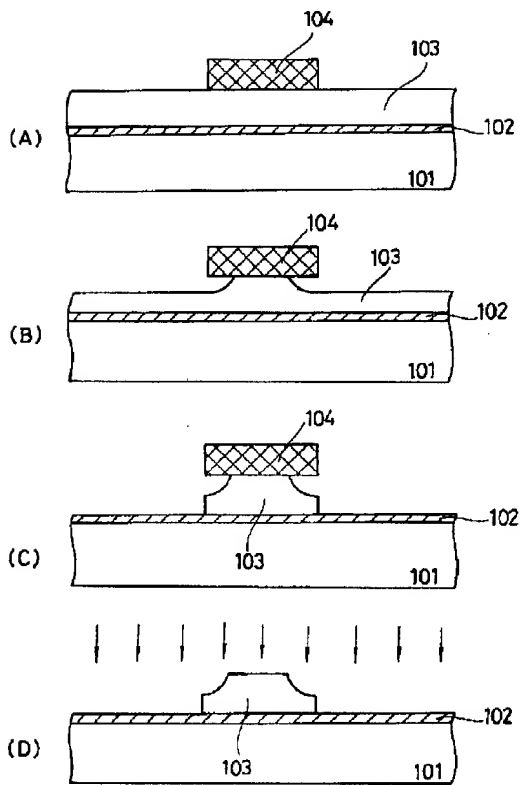
【図6】



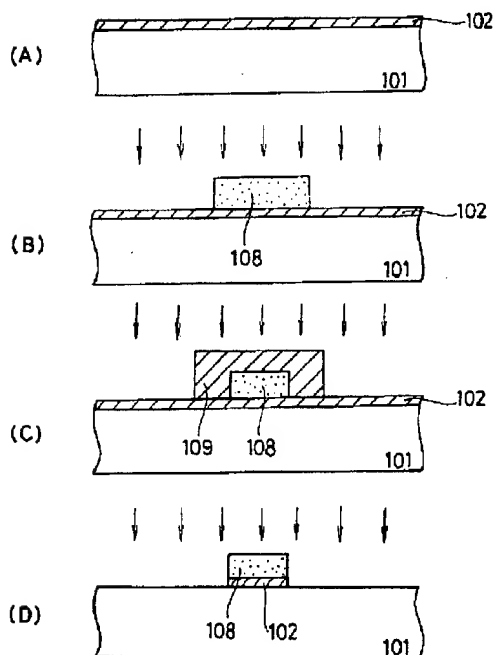
【図8】



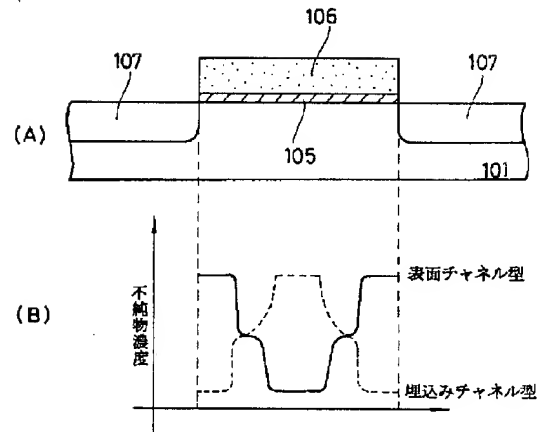
【図9】



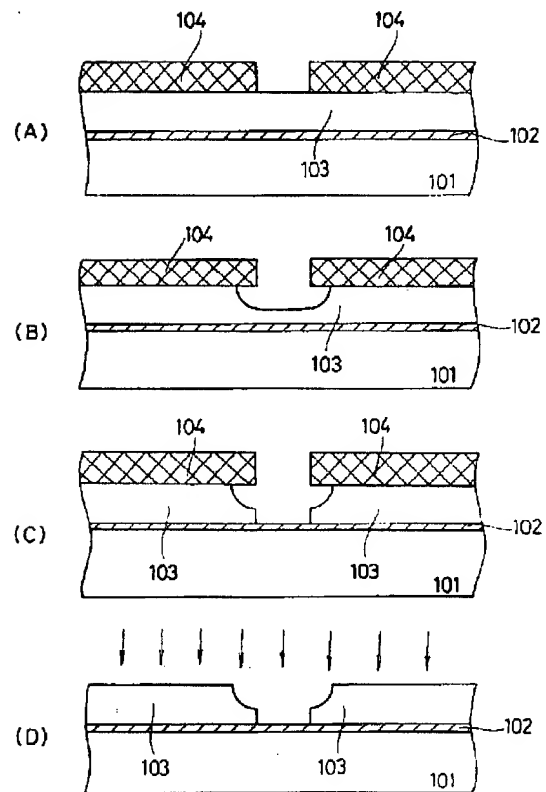
【図12】



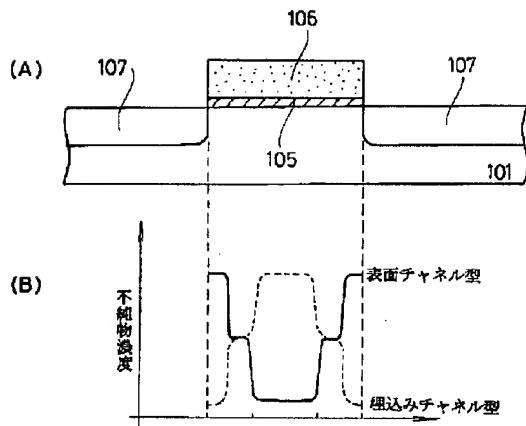
【図10】



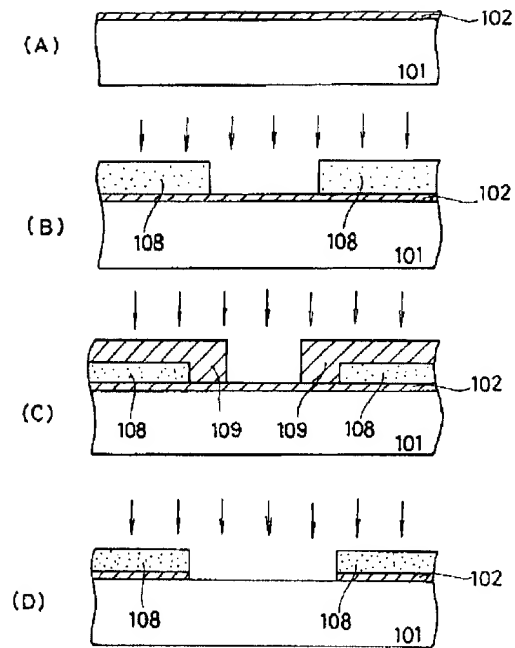
【図11】



【図13】



【図14】



フロントページの続き

(72)発明者 福島 康
東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72)発明者 吉岡 守
東京都大田区中馬込1丁目3番6号 株式
会社リコー内
(72)発明者 阿部 宏幸
宮城県名取市高館熊野堂字余方上5番地の
10